



(19)

(11) Publication number: 11251597 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 10047515

(51) Int'l. Cl.: H01L 29/786 H01L 27/08 H01L 29/78

(22) Application date: 27.02.98

(30) Priority:

(43) Date of application publication: 17.09.99

(71) Applicant: DENSO CORP

(84) Designated contracting states:

(72) Inventor: MORISHITA TOSHIYUKI
YAMAGUCHI HITOSHI

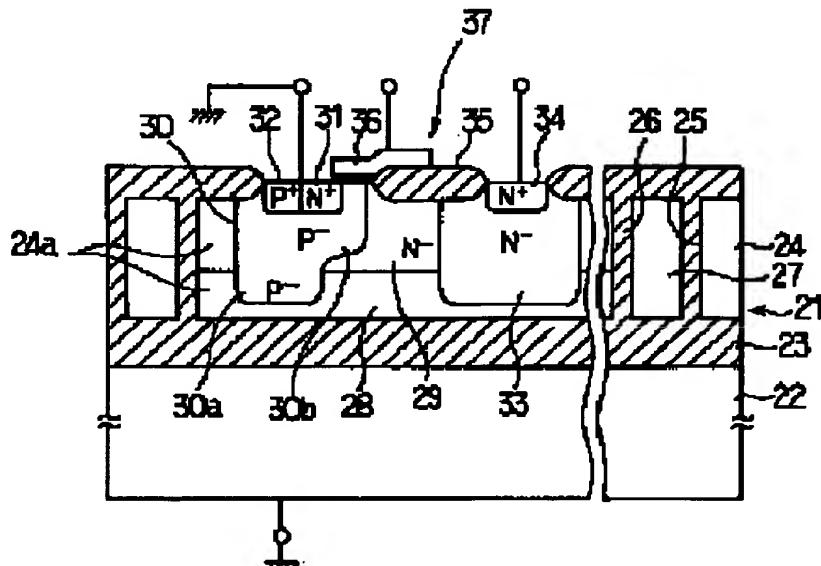
(74) Representative:

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To realize high breakdown voltage and reduction in on-resistance at the same time.

SOLUTION: An island-like silicon layer 24a surrounded by silicon oxide films 23, 26 is formed on a SOI substrate 21. In the island-like silicon layer 24a, as a constitutional element of a lateral double diffusion MOSFET 37, an electric field relaxing layer 28 substantially functioning as an I layer, a drift layer 29 composed of an N- diffused layer, a P well 30a; a channel forming P well 30b, an N type source layer 31, a P+ diffused layer 32, and a drain contact layer 34 composed of an N+ diffused layer are formed. A deep drain region 33 in a state where N-type impurities are diffused surrounding the drain contact layer 34 is formed. Impurity concentration of the deep drain region 33 is set at an intermediate level of each impurity concentration of the drift layer 29 and the drain contact layer 34.



COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-251597

(43) 公開日 平成11年(1999)9月17日

(51) Int.Cl.⁶
H 01 L 29/786
27/08
29/78

識別記号
331

F I
H 01 L 29/78
27/08
29/78

616 S
331 E
301 W
617 J
622

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願平10-47515

(22) 出願日 平成10年(1998)2月27日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 森下 敏之

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 山口 仁

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

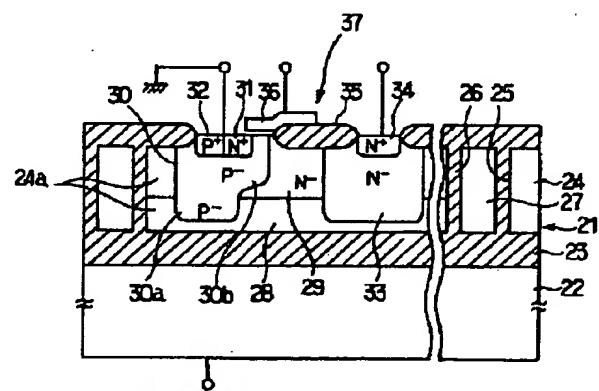
(74) 代理人 弁理士 佐藤 強

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 高耐圧化の促進と共に、オン抵抗の低減も同時に実現すること。

【解決手段】 SOI基板21上には、シリコン酸化膜23及び26により囲まれた島状シリコン層24aが形成される。島状シリコン層24a内には、LDMOS 37の構成要素として、実質的に1層として機能する電界緩和層28、N-拡散層より成るドリフト層29、Pウェル30a、チャネル形成用のPウェル30b、N型ソース層31、P+拡散層32、N+拡散層より成るドレインコンタクト層34が形成されると共に、そのドレンコンタクト層34の周囲にN型不純物を拡散した状態のディープドレイン領域33が形成される。ディープドレイン領域33の不純物濃度は、ドリフト層29及びドレンコンタクト層34の各不純物濃度の中間レベルに設定される。



21: 半導体基板
23, 26: 極縁体
24a: 島状領域
28: 第3半導体層
29: 第1半導体層
30: 第2半導体層
31: ソース層
33: ディープドレイン領域
(不純物拡散領域)
34: コンタクト層
37: MOSFET (半導体素子)

【特許請求の範囲】

【請求項1】 半導体基板(21)上に絶縁体(23、26)にて囲まれた島状領域(24a)を形成し、この島状領域(24a)内に半導体素子(37)を形成するようにした半導体装置において、

前記島状領域(24a)に形成された第1導電型の第1半導体層(29)と、

この第1半導体層(29)内に形成され、少なくとも当該第1半導体層(29)との界面にPN接合を形成する第2導電型の第2半導体層(30)と、

前記第1半導体層(29)の表面側の所定領域に当該第1半導体層(29)と同型の高濃度不純物を導入することにより形成されたコンタクト層(34)と、

前記第1半導体層(29)における前記コンタクト層(34)と隣接した領域若しくは当該コンタクト層(34)を含む領域に、上記第1半導体層(29)と同型の不純物を上記コンタクト層(34)よりも深く拡散した不純物拡散領域(33)とを備え、

前記不純物拡散領域(33)の不純物濃度は、前記第1半導体層(29)の不純物濃度及び前記コンタクト層(34)の不純物濃度の中間レベルに設定されることを特徴とする半導体装置。

【請求項2】 前記不純物拡散領域(33)は、前記第2半導体層(30)と同程度の深さに形成されることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第1半導体層(29)とこれの下方に位置した絶縁体(23)との間に、前記第1半導体層(29)及び第2半導体層(30)と共に実質的にPIN構造を形成する第3半導体層(28)を形成することを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記第2半導体層(30)を、前記第1半導体層(29)の表面側から第2導電型の不純物を拡散したウェルとして形成すると共に、このウェル(30)内に第1導電型の不純物を導入したソース層(32)を設けて当該ウェル(30)の表面部にチャネル領域を形成し、これによって、前記半導体素子(37)を、前記第1半導体層(29)をドリフト層とし、前記不純物拡散領域(33)をディープドレイン領域とし、且つ前記コンタクト層(34)をドレインコンタクト層とした横型のMOSFETとして構成することを特徴とする請求項1ないし3の何れかに記載の半導体装置。

【請求項5】 請求項4記載の半導体装置において、前記半導体基板(21)上に複数の島状領域(24a)を形成して、各島状領域(24a)に、半導体素子としての横型NチャネルMOSFET(37)及び横型PチャネルMOSFET(37')を形成し、上記NチャネルMOSFET側(37)のPウェル(30a)の深さとPチャネルMOSFET側(37')のP型のディープドレイン領域(33')の深さとを同一に設定し、上記PチャネルMOSFET(37')側の

Nウェル(30a')の深さとNチャネルMOSFET側(37)のN型のディープドレイン領域(33)の深さとを同一に設定したことを特徴とする半導体装置。

【請求項6】 請求項5記載の半導体装置において、前記NチャネルMOSFET(37)及びPチャネルMOSFET(37')は相補型に構成されることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】 本発明は、半導体基板上に形成される半導体素子の耐圧の向上を図った半導体装置に関する。

【0002】

【従来の技術】 従来より、例えば特開平8-64690号公報に見られるように、LDMOS (Lateral Double-diffused MOS : 橫型二重拡散MOSFET)において、実質的にPIN構造となる構成を採用することによって高耐圧化を図った半導体装置が知られている。具体的には、この公報に記載された半導体装置は、図8に模式的に示した断面構造となっている。

【0003】 即ち、図8において、シリコン層1は、シリコン基板より成るベース基板2上に、絶縁分離用のシリコン酸化膜3を介して配置されたSOI構造となっており、このシリコン層1には、シリコン酸化膜4によって他の素子形成領域から分離された状態の島状シリコン層1aが形成されている。上記島状シリコン層1aのうち、シリコン酸化膜3に接する領域には、低不純物濃度の電界緩和層5が形成されている。この電界緩和層5は、実質的に真性半導体層として機能するように、不純物濃度が極めて低い状態($1 \times 10^{14} / \text{cm}^3$ 程度以下)とされている。

【0004】 島状シリコン層1aの上部にはN-層より成るドリフト層6が形成されている。このドリフト層6は低不純物濃度層として設けられるものであるが、上記電界緩和層5よりは高い不純物濃度に設定されている。島状シリコン層1aには、電界緩和層5に到達するPウェル7、ゲート8に対し自己整合的な位置に存するチャネルPウェル9がそれぞれ形成されており、そのPウェル9内にはNチャネルMOSFETのためのソース層10(N+層)と、当該Pウェル9の電位を取るためのP+拡散層11とが形成されている。

【0005】 ドリフト層6の表面側には、高濃度のN+層より成るドレインコンタクト層12が形成されている。また、Pウェル9とドレインコンタクト層12との間には、電界緩和のためのLOCOS酸化膜13が形成されている。尚、ソース層10とベース基板2とは同電位となるように設定される。

【0006】 このような構成においては、電界緩和層5は不純物濃度が極めて低い半導体層であるため、Pウェル7及び9(P型層)、電界緩和層5(実質的なI層)：

真性半導体層)、ドリフト層6及びドレインコンタクト層12(N型層)により、それらが実質的にPIN構造を構成している。このような素子構造によれば、NチャネルMOSFETのドレイン側に正極性の高電圧が印加された場合には、その印加電圧が、電界緩和層5中に生ずる空乏層とシリコン酸化膜3とで有効に分担されるようになり、これによって高耐圧が達成されることになる。

【0007】

【発明が解決しようとする課題】図8に示したようなLDMOS構造を採用した場合には、耐圧とドリフト層6の濃度とが所謂トレードオフの関係にあることが広く知られている。従って、より高耐圧な素子とする場合には、低不純物濃度層として設けられたドリフト層6の不純物濃度をさらに引き下げる必要がある。しかしながら、このようにドリフト層6を低濃度化すると、MOSFETのオン抵抗が高くなってしまうという問題点が発生する。

【0008】また、上記のような素子構造では、ゲート8に電位を与えたオン状態においてドレイン・ソース間に電流が流れた場合に、ドレインコンタクト層12の表面近傍にキャリアが集中するという現象が発生することが判明している。このため、これに伴う自己発熱によって素子が熱破壊し、オン状態での耐圧がオフ状態での耐圧(PN接合部でブレークダウンが発生するときの電圧に相当)に比べて著しく低くなるという状況が生ずるものであり、結果的にオン状態及びオフ状態での耐圧を同時に高めることができないという問題点があった。

【0009】本発明は、上記事情に鑑みてなされたものであり、その目的は、半導体基板中の所定領域に不純物拡散領域を設けるだけの簡単な構造によって半導体素子の高耐圧化を促進できると共に、そのオン抵抗の低減も同時に実現できるようになる半導体装置を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するために請求項1に記載したような手段を採用できる。この手段によれば、第2半導体層(30)とコンタクト層(34)との間に第1半導体層(29)を通じて電流を流すことができる。この場合、第1半導体層(29)における上記コンタクト層(34)と隣接した領域若しくは当該コンタクト層(34)を含む領域には、当該第1半導体層(29)と同型の不純物を上記コンタクト層(34)よりも深く拡散した不純物拡散領域(33)を設けると共に、この不純物拡散領域(33)の不純物濃度を第1半導体層(29)及びコンタクト層(34)の不純物濃度の中間レベルに設定した構成となっているが、本願発明者による実験によれば、このような不純物拡散領域(33)を設けた場合には、上記のように電流が流れた状態において、コンタクト層(34)の表面近傍にキ

ャリアが集中する現象が緩和されることが判明している。

【0011】このため、キャリアの集中に伴う自己発熱が抑制されるようになって、半導体素子(37)に電流を流したときの耐圧が従来構成に比べて向上する。また、上記不純物拡散領域(33)は、第1半導体層(29)及び第2半導体層(30)間のPN接合部での逆方向耐圧に悪影響を与えることがないように、互いにある程度の間隔(例えば15~20μm程度)をもって形成すれば、その耐圧が低下する懼がなくなる。尚、上記間隔の最低値は、各部の不純物拡散濃度に応じて変化するものであるため、これに応じて決められる。さらに、上記不純物拡散領域(33)は、その不純物濃度が第1半導体層(29)より高くなっているから、半導体素子(37)のオン抵抗の低減も同時に実現できるようになる。

【0012】請求項2記載の手段のように、前記不純物拡散領域(33)を前記第2半導体層(30)と同程度の深さに形成した場合には、キャリアの集中現象がより一層緩和されることになり、半導体素子(37)に電流を流したときの耐圧がさらに向上するようになる。

【0013】請求項3記載の手段のように、前記第1半導体層(29)とこれの下方に位置した前記絶縁体(23)との間に、第1半導体層(29)及び第2半導体層(30)と共に実質的にPIN構造を形成する第3半導体層(28)を形成する構成とした場合には、半導体素子(37)に高電圧が印加された状態において、上記PIN構造のI層に相当する第3半導体層(28)に空乏層が生じて、上記印加電圧が当該空乏層及び上記絶縁体(23)により有効に分担されるようになり、結果的にさらなる高耐圧化を図り得るようになる。

【0014】請求項4記載の手段によれば、二重拡散技術によってウェル(30)及びソース層(32)を形成することにより、当該ウェル(30)の表面部にチャネル領域を備え、且つ第1半導体層(29)より成るドリフト層の表面側の所定領域にドレインコンタクト層(34)を備えた横型のMOSFET(37)を形成することができる。この場合、ドリフト層(29)における上記ドレインコンタクト層(34)と隣接した領域若しくは当該ドレインコンタクト層(34)を含む領域には、上記ドリフト層(29)と同型の不純物を上記コンタクト層(34)よりも深く拡散したディープドレイン領域(33)が形成されることになり、このディープドレイン領域(33)の不純物濃度は、上記ドリフト層(29)及びドレインコンタクト層(34)の不純物濃度の中間レベルとなる。このようなディープドレイン領域(33)を設けた場合には、ゲート電位を与えたオン状態においてドレイン・ソース間に電流が流れた場合に、ドレインコンタクト層(34)の表面近傍にキャリアが集中する現象が緩和されることになる。

【0015】このため、キャリアの集中に伴う自己発熱が抑制されるようになって、MOSFET (37) のオン状態での耐圧が従来構成に比べて向上する。また、上記ディープドレイン領域 (33) は、ウェル (30) 及びドリフト層 (29) 間のPN接合部での逆方向耐圧に悪影響を与えることがなく、その耐圧が低下する恐がなくなる。さらに、上記ディープドレイン領域 (33) は、その不純物濃度がドリフト層 (29) より高くなっているから、MOSFET (37) のオン抵抗の低減も同時に実現できるようになる。

【0016】請求項5及び6記載の手段によれば、半導体基板 (21) 上に複数の島状領域 (24a) を形成して、各島状領域 (24a) に、半導体素子としての横型NチャネルMOSFET (37) 及び横型PチャネルMOSFET (37') を形成する場合、或いはCMOSFETを形成する場合において、NチャネルMOSFET (37) 側のPウェル (30a) 並びにPチャネルMOSFET (37') 側のP型のディープドレイン領域 (33') を同一のマスクを利用した1回の工程で形成できるようになると共に、PチャネルMOSFET (37') 側のNウェル (30a') 並びにNチャネルMOSFET (37) 側のN型のディープドレイン領域 (33) を同一のマスクを利用した1回の工程で形成できるようになるから、その製造工程を簡略化できるようになる。

【0017】

【発明の実施の形態】(第1の実施の形態) 以下、本発明の第1実施例について図1ないし図3を参照しながら説明する。図1にはSOI基板上に形成された高耐圧LD MOS(横型二重拡散MOSFET)の模式的な縦断面構造が示されている。尚、本発明をLD MOSに適用する場合、Nチャネル型及びPチャネル型の何れでも成立するが、この実施例ではNチャネル型を例にして説明する。また、この第1実施例のようにNチャネルLD MOSに適用する場合、本発明でいう第1導電型はN型、第2導電型はP型となる。

【0018】図1において、SOI基板21(本発明でいう半導体基板に相当)は、シリコン基板より成るベース基板22上に、絶縁分離用のシリコン酸化膜23(本発明でいう絶縁体に相当)を介して単結晶シリコン層24を設けた構造となっており、この単結晶シリコン層24には、枠状をなすトレンチ25によって他の素子形成領域から分離された状態の島状シリコン層24a(本発明でいう島状領域に相当)が形成されている。尚、トレンチ25は、絶縁分離用のシリコン酸化膜26(本発明でいう絶縁体に相当)及びポリシリコン27により埋め戻されている。また、この場合、上記単結晶シリコン層24の膜厚は10μm程度に設定され、上記シリコン酸化膜23、26の膜厚は0.5μm程度以上に設定される。

【0019】上記島状シリコン層24aのうち、シリコン酸化膜23に接する領域には、低不純物濃度の電界緩和層28(本発明でいう第3半導体層に相当)が形成されている。この電界緩和層28は、ボロン或いはリン、砒素、アンチモンなどの不純物濃度が極めて低い状態($1 \times 10^{14} / \text{cm}^3$ 程度以下)の単結晶シリコン層で、実質的に真性半導体層として機能するものであり、その厚さは1μm程度以上に設定される。

【0020】島状シリコン層24aの上部は、N-拡散層より成るドリフト層29(本発明でいう第1半導体層に相当)となっている。このドリフト層29は、比較的高い抵抗が必要であるため低不純物濃度層として設けられるものであるが、前記電界緩和層28より高い不純物濃度(例えば $3.7 \times 10^{16} / \text{cm}^3$ 前後)に設定されている。

【0021】島状シリコン層24aには、ドリフト層29の表面側からP型の不純物を拡散することによって、本発明でいう第2半導体層に相当した二重ウェル30が形成されている。この二重ウェル30は、前記電界緩和層28内に達するPウェル30a及び表面側部位に上記Pウェル30aと連続するように位置されたチャネル形成用のPウェル30bとにより構成されている。この場合、Pウェル30aは、不純物濃度(表面濃度)が $1.5 \times 10^{17} / \text{cm}^3$ 前後に設定され、Pウェル30bは、不純物濃度(表面濃度)が $9.0 \times 10^{16} / \text{cm}^3$ 前後に設定される。尚、Pウェル30bは、N⁺拡散層より成るN型ソース層31と共に周知の二重拡散技術により形成されるものであり、これにより、そのPウェル30bの表面部にNチャネル領域が形成される構成となっている。

【0022】この場合、上記Pウェル30a、30b並びにN型ソース層31は、その平面形状がリング状(例えば長円形状)となるように形成されており、従って、上記Nチャネル領域の平面形状も同様のリング状に形成されることになる。このようにNチャネル領域をリング状にレイアウトした場合には、電界の集中を緩和して大電流を流し得るようになるFET構造を実現できることになる。尚、Pウェル30bの表面側には、当該Pウェル30bの電位を取るためのP⁺拡散層32が形成されている。

【0023】島状シリコン層24aには、リング状をなす前記N型ソース層31の中心部に位置するようにしてN型不純物を拡散したディープドレイン領域33(本発明でいう不純物拡散領域に相当)が形成されている。このディープドレイン領域33は、前記Pウェル30aの拡散深さと同程度の深さに形成されている。また、ディープドレイン領域33の表面部には、N⁺拡散層より成るドレインコンタクト層34が形成されている。

【0024】この場合、ディープドレイン領域33の不純物濃度は、ドリフト層29の不純物濃度及びドレイン

コンタクト層34の不純物濃度の中間レベルに設定されるものである。具体的には、ドリフト層29の不純物濃度が $3.7 \times 10^{16}/\text{cm}^3$ 前後、ドレインコンタクト層34の不純物濃度が $1.0 \times 10^{19}/\text{cm}^3$ 程度以上に設定されている場合、ディープドレイン領域33の不純物濃度（表面濃度）は、 $1.5 \times 10^{17}/\text{cm}^3$ 前後に設定される。

【0025】Pウェル30bとドレインコンタクト層34との間には、電界緩和のためのLOCOS酸化膜35が形成されている。また、前記Nチャネル領域と対応した部分には、例えばポリシリコン配線膜より成るゲート電極36が図示しないゲート酸化膜（シリコン酸化膜）を介して形成されている。

【0026】以上のような構成によって、Pウェル30bの表面部にNチャネル領域を備え、且つドリフト層29の表面側の所定領域（実際にはディープドレイン領域33の表面側の所定領域）にドレインコンタクト層34を備えたNチャネル型のLDMOS37が半導体素子として形成されることになる。この場合、二重ウェル30（P型層）、電界緩和層28（実質的なI層）、ドリフト層29、ディープドレイン領域33及びドレインコンタクト層34（N型層）により、それらが実質的にPIN構造を構成するようになっている。尚、上記LDMOS37にあっては、N型ソース層31とベース基板22とが同電位となるように設定される。また、具体的には図示していないが、LDMOS37上には、周知の電極、配線、表面保護膜などが形成されるものである。

【0027】上記した本実施例によれば、ドレインコンタクト層34を通じて正極性の高電位を印加した状態でゲート電極36に正極性の電位を印加することによって、そのゲート電位に応じたレベルの電流をドレインコンタクト層34及びN型ソース層31間に流すことができる。この場合、本実施例のように、ドリフト層29とドレインコンタクト層34との間に、それらの不純物濃度の中間レベルの不純物濃度を有したディープドレイン領域33が存在する場合、本願発明者による実験によれば、上記のように電流が流れた状態において、図2に示すようにドレインコンタクト層34の表面近傍にキャリアが集中する現象が緩和されることが判明している。

【0028】即ち、図2（a）は、本実施例の構成によるLDMOS37内において、所定量以上のキャリアが存在するポイントP（実際にはベクトルとして表現されるものであるが、作図上の都合によりドットにより表現している）の分布を等電位線と共に示したものである。また、図2（b）は、ディープドレイン領域33が存在しない従来構成のLDMOSについての同様のポイントPの分布を等電位線と共に示したものである。この図2から理解できるように、従来構成によれば、ドレインコンタクト層の表面近傍にキャリアが集中する現象が発生しているのに対して、本実施例の構成によれば、ドレ

ンコンタクト層34の表面近傍にキャリアが集中する現象が抑制されるようになる。

【0029】このため、ディープドレイン領域33を設けた本実施例の構成によれば、キャリアの集中に伴う自己発熱が抑制されるようになって、LDMOS37のオン状態での耐圧が従来構成に比べて向上する。しかも、ディープドレイン領域33をPウェル30aと同程度の深さに形成した場合には、キャリアの集中現象をより一層緩和できることになるから、上記のような耐圧向上に10 寄与できるようになる。また、上記ディープドレイン領域33は、Pウェル30a及び30bとドリフト層29との間のPN接合部での逆方向耐圧に悪影響を与えることがないように、例えば $1.5 \sim 2.0 \mu\text{m}$ 程度の間隔をあけて形成すれば、LDMOS37のオフ状態での耐圧が低下する恐れがなくなる。さらに、上記ディープドレイン領域33は、その不純物濃度がドリフト層29より高くなっているから、LDMOS37のオン抵抗の低減も同時に実現できるようになる。

【0030】また、本実施例のように、ドリフト層29とこれの下方のシリコン酸化膜23との間に不純物濃度が極めて低い状態の電界緩和層28を設けることによって、実質的なPIN構造を形成する構成とした場合には、LDMOS37のドレインコンタクト層34に正極性の高電圧が印加された場合には、その印加電圧が、電界緩和層28中に生ずる空乏層とシリコン酸化膜23とで有効に分担されるようになり、結果的にさらなる高耐圧化を図り得るようになる。

【0031】因みに、図3（a）には、LDMOS37をNチャネル型とした本実施例の構成において、ディープドレイン幅 Δw を複数段階に異ならせた場合、並びにディープドレイン領域33を設けない場合（ $\Delta w = 0$ ）において、LDMOS37のオン状態での耐圧及びオフ状態での耐圧を測定した実験結果を示す（○印がオン状態での耐圧、△印がオフ状態での耐圧）。また、図3

（b）には、Pチャネル型のLDMOSを上記実施例と同様に構成した場合において、ディープドレイン幅 Δw を複数段階に異ならせた場合、並びにディープドレイン領域を設けない場合（ $\Delta w = 0$ ）において、LDMOSのオン状態での耐圧及びオフ状態での耐圧を同様に測定した実験結果を示す。この図3（a）、（b）からは、ディープドレイン領域を設けた場合には、オン状態での耐圧が明らかに向上していることが分かる。尚、ここでいうディープドレイン幅 Δw とは、ディープドレイン領域を拡散技術により形成するときのマスクの開口幅のことである。

【0032】さらに、次表には、本実施例のようなディープドレイン領域33を備えたNチャネルLDMOSにおけるオフ状態での耐圧、オン状態での耐圧及びオン抵抗を、ドリフト層29の不純物濃度を $3.7 \times 10^{16}/\text{cm}^3$ 、Pウェル30aの不純物濃度を 1.5×10^{10}

$1.7/\text{cm}^3$ 、その拡散深さ $6\ \mu\text{m}$ 、Pウェル30bの不純物濃度を $9.0 \times 10^{16}/\text{cm}^3$ 、その拡散深さを $3\ \mu\text{m}$ 、ディープドレイン領域33の不純物濃度を $1.5 \times 10^{17}/\text{cm}^3$ 、その拡散深さを $6.4\ \mu\text{m}$ 、ゲート長を $2700\ \mu\text{m}$ に設定した状態で測定した結果と、この実施例と同様構造としたPチャネルLDMOSにおけるオフ状態での耐圧、オン状態での耐圧及びオン抵抗を

測定した結果と、ディープドレイン領域33が存在しないことのみが異なるPチャネルLDMOS及びNチャネルLDMOSにおけるオフ状態での耐圧、オン状態での耐圧及びオン抵抗を同様に測定した結果とを示す。

【0033】

【表1】

	従来構造		本実施例の構造	
	Pチャネル	Nチャネル	Pチャネル	Nチャネル
オフ状態での耐圧 (V)	280	240	245	240
オン状態での耐圧 (V)	140	160	230	230
オン抵抗 (Ω)	444	57	350	27

【0034】この表からは、本実施例のようにディープドレイン領域33がある場合には、これがないものに比べて、オン状態での耐圧が向上していること並びにオン抵抗が低くなっていることが分かる。

【0035】(第2の実施の形態) 図4ないし図6には本発明の第2実施例が示されており、以下これについて前記第1実施例と異なる部分のみ説明する。この第2実施例は、同一のSOI基板上にNチャネル型のLDMOS及びPチャネル型のLDMOSを相補型に形成した点に特徴を有するものであり、図4には、そのCMOS構造の模式的な縦断面構造が示されている。尚、NチャネルLDMOSに適用する場合には、前にも述べたように本発明でいう第1導電型はN型、第2導電型はP型となるが、PチャネルLDMOSに適用する場合には、本発明でいう第1導電型はP型、第2導電型はN型となる。

【0036】図4において、Nチャネル型のLDMOS 37は第1実施例と基本的に同じ構成のものであり、また、Pチャネル型のLDMOS 37' (本発明でいう半導体素子に相当) は、島状シリコン層24aに形成される電界緩和層28' (本発明でいう第3半導体層に相当) 以外の各構成要素の導電型が上記LDMOS 37と逆になっている点のみが相違する (不純物濃度は同等のレベルである)。

【0037】具体的には、LDMOS 37'は、実質的に真性半導体層として機能する電界緩和層28'の他に、P-拡散層より成るドリフト層29' (本発明でいう第1半導体層に相当)、Nウェル30a'並びにチャネル形成用のNウェル30b'より成る二重ウェル30' (本発明でいう第2半導体層に相当)、P+拡散層より成るP型ソース層31'、Nウェル30b'の電位を取るためのN+拡散層32'、P型不純物を拡散したディープドレイン領域33' (本発明でいう不純物拡散領域に相当)、P+拡散層より成るドレインコンタクト層34'、ゲート電極36'などを有する。

【0038】図5及び図6には、上記LDMOS 37及び37'の製造方法が模式的な断面図により示されてお

20

り、以下これについて説明する。まず、図5(a)に示すように、高抵抗FZ基板、若しくはボロン或いはシリコン、砒素、アンチモンなどの不純物濃度が極めて低い状態 ($1 \times 10^{14}/\text{cm}^3$ 程度以下) のCZ基板で、表面の面方位が(100)の単結晶シリコン基板38を用意し、その表面に熱酸化により膜厚は $0.5\ \mu\text{m}$ 程度以上のシリコン酸化膜23を形成する。

20

【0039】次いで、貼り合わせ工程及び研磨工程を順次実行することにより、図5(b)に示すようなSOI基板21を形成する。具体的には、貼り合わせ工程では、まず、P型或いはN型で表面が鏡面化されたベース基板22を用意し、このベース基板22の表面と前記単結晶シリコン基板38側のシリコン酸化膜23の表面に親水化処理を施す。具体的には、例えば、90~120°C程度に保温された硫酸と過酸化水素との混合溶液

30

($\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 = 4 : 1$) による洗浄及び純水洗浄を順次行った後に、スピンドル乾燥により各基板22及び38の表面に吸着する水分量を制御する。そして、この後に、ベース基板22及び単結晶シリコン基板38を上記親水化処理面で密着させて貼り合わせた後に、熱処理を施すことにより一体化する。

30

【0040】次いで、上記研磨工程では、単結晶シリコン基板38を貼り合わせ面と反対側の面から研削・研磨する加工を、その膜厚を $10\ \mu\text{m}$ 程度になるまで実行して単結晶シリコン層24を形成し、これによりSOI基板21を形成する。

40

【0041】尚、この実施例では、単結晶シリコン基板38側にシリコン酸化膜23を形成する構成としたが、ベース基板22側、或いは双方の基板22及び38にシリコン酸化膜を形成する構成としても良い。

【0042】続いて、図5(c)に示すような状態まで加工する。具体的には、単結晶シリコン層24の表面に例えばCVD法によりシリコン酸化膜(図示せず)を形成し、この後にフォトリソグラフィ技術及びドライエッティング技術によってトレンチ25を形成する。次に、トレンチ25の内壁に熱酸化法などにより膜厚 $0.5\ \mu\text{m}$

程度以上のシリコン酸化膜26を形成した後に、そのトレンチ25をポリシリコン27により埋め戻し、この状態から研削・研磨加工或いはエッチバック法などにより上記図示しないシリコン酸化膜などを除去すると共に表面を平坦化し、以てトレンチ25によって分離された状態の島状シリコン層24aを形成する。

【0043】この後には、図5(d)に示した状態まで加工する。具体的には、NチャネルLDMOS37側のPウェル30a並びにPチャネルLDMOS37'側のディープドレイン領域33'にそれぞれ対応した位置に開口部を有したマスクを施した状態で、P型不純物のイオン注入及び熱拡散を行うことにより、Pウェル30a及びディープドレイン領域33'を形成し、その後に上記マスクを除去する。このような工程が行われる結果、上記Pウェル30aの深さとディープドレイン領域33'の深さとが同一に設定されることになる。

【0044】次いで、図6(e)に示した状態まで加工する。具体的には、まず、NチャネルLDMOS37側のディープドレイン33並びにPチャネルLDMOS37'側のNウェル30a'にそれぞれ対応した位置に開口部を有したマスクを施した状態で、N型不純物のイオン注入及び熱拡散を行うことにより、ディープドレイン33及びNウェル30a'を形成し、その後に上記マスクを除去する。このような工程が行われる結果、上記Nウェル30a'の深さとディープドレイン領域33の深さとが同一に設定されることになる。さらに、LDMOS37のドリフト層29及びLDMOS37のドリフト層29'を、それぞれの導電型に対応した不純物のイオン注入及び熱拡散により順次形成する。尚、島状シリコン層24aにおける上記ドリフト層29及び29'以外の部分が、それぞれ電界緩和層28及び28'となるものである。

【0045】そして、図6(f)に示すように、公知の手法を用いて、LOCOS酸化膜35、図示しないゲート酸化膜用のシリコン酸化膜、ゲート電極36及び36'を形成した後に、図6(g)に示すように、同じく公知の二重拡散技術などの手法を用いて、Pウェル30b、N型ソース層31、Nウェル30b'、P型ソース層31'、P⁺拡散層32、N⁺拡散層32'、ドレンコンタクト層34及び34'、図示しない電極、配線、表面保護膜などを形成し、図4に示すようなLDMOS37及び37'を形成する。

【0046】上記した本実施例の構成によれば、単結晶シリコン層24上に、NチャネルLDMOS37及びPチャネルLDMOS37'を備えたCMOSFETを形成する場合において、NチャネルLDMOS37側のPウェル30a並びにPチャネルLDMOS37'側のP型のディープドレイン領域33'を同一のマスクを利用した1回の工程で形成できるようになると共に、PチャネルLDMOS37'側のNウェル30a'並びにNチ

10

ヤネルLDMOS37側のN型のディープドレイン領域33を同一のマスクを利用した1回の工程で形成できるようになるから、その製造工程を簡略化できるという利点が出てくる。

12

【0047】(その他の実施の形態)尚、本発明は上記した各実施例に限定されるものではなく、次のような変形または拡張が可能である。上記した各実施例では、半導体基板としてSOI基板21を用いる構成としたが、図7に示すように、P型の単結晶シリコン基板より成るP型バルク39を本発明でいう半導体基板として用いることもできる。図7の例では、P型バルク39上に、エピタキシャル成長或いは貼り合わせ法などによって単結晶シリコン層40を直接的に形成すると共に、この単結晶シリコン層40に、トレンチ25及びシリコン酸化膜26などにより他の素子形成領域と分離された状態の島状シリコン層40a(本発明でいう島状領域に相当)を形成し、この島状シリコン層40aにFET構造を形成する構成としている。尚、図7の例はNチャネルのFET構造を形成する例であるが、各部の導電型を逆にすればPチャネルでも成立することは勿論である。

20

【0048】ディープドレイン領域33の表面部にドレインコンタクト層34を形成する構成、換言すれば、ドレインコンタクト層34の周囲全体にディープドレイン領域を形成する構成としたが、少なくともドリフト層29におけるドレインコンタクト層34と隣接した領域(二重ウェル30側の領域)に、ドレインコンタクト層34よりも深く不純物拡散したディープドレイン領域を設ける構成とすれば良いものである。

20

【0049】SOI基板21を貼り合わせ法によって形成する構成としたが、他の手法(例えば特開平5-211128号公報に見られるような剥離技術を利用した手法など)によって形成する構成としても良い。電界緩和層28及び28'は必要に応じて設ければ良いものである。第2実施例では、CMOSFETを例に挙げたが、各島状領域に、NチャネルLDMOS及びPチャネルLDMOSを独立して形成したものにも適用できる。また、ドリフト層29及び29'、Pウェル30a及び30b、Nウェル30a'及び30b'、ディープドレイン領域33及び33'などの不純物濃度は、上記実施例中で述べた数値に限定されるものではない。

40

【図面の簡単な説明】

【図1】本発明の第1実施例におけるLDMOSの模式的な縦断面図

【図2】作用説明用の特性図

【図3】実験結果を示す特性図

【図4】本発明の第2実施例におけるLDMOSの模式的な縦断面図

【図5】LDMOSの製造工程を示す模式的な断面図その1

【図6】LDMOSの製造工程を示す模式的な断面図そ

50

の2

【図7】本発明の他の実施例の形態を示すLDMOSの模式的な断面図

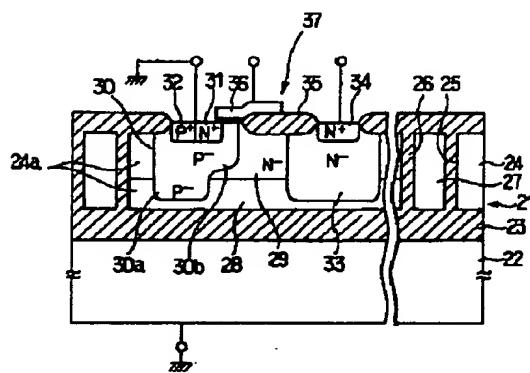
【図8】従来構成のLDMOSの模式的な絶縁面図

【符号の説明】

21はSOI基板(半導体基板)、22はベース基板、23はシリコン酸化膜(絶縁体)、24は単結晶シリコン層、24aは島状シリコン層(島状領域)、26はシリコン酸化膜(絶縁体)、28、28'は電界緩和層

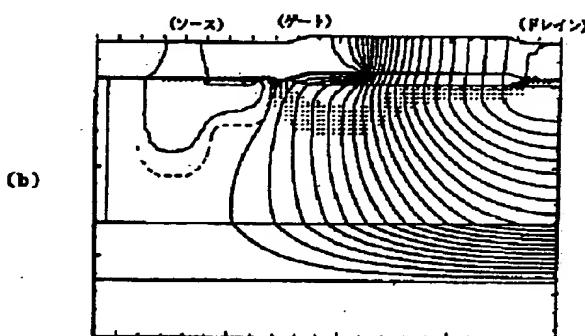
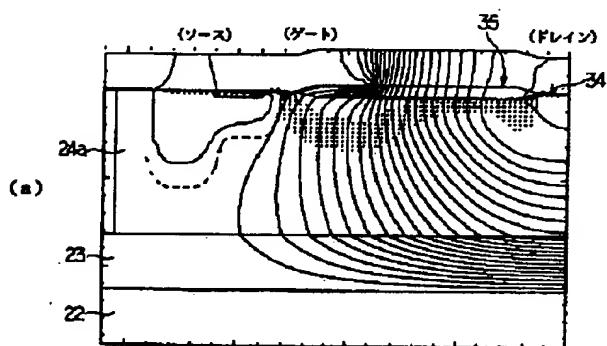
(第3半導体層)、29、29'はドリフト層(第1半導体層)、30、30'は二重ウェル(第2半導体層)、30a、30bはPウェル、30'、30b'はNウェル、31はN型ソース層、31'はP型ソース層、33、33'はディープドレイン領域(不純物拡散領域)、34、34'はドレインコンタクト層、37、37'はLDMOS(半導体素子)、39はP型バルク(半導体基板)、40は単結晶シリコン層、40aは島状シリコン層(島状領域)を示す。

【図1】

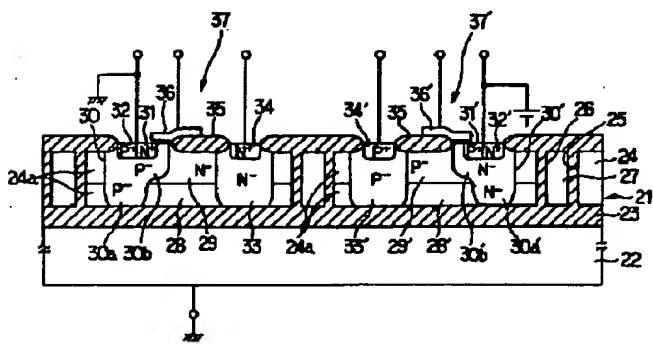


21: 半導体基板
22, 28: 絶縁体
24a: 島状領域
28: 第3半導体層
29: 第1半導体層
30: 第2半導体層
31: ソース層
33: ディープドレイン領域
(不純物拡散領域)
34: コンタクト層
37: MOSFET(半導体素子)

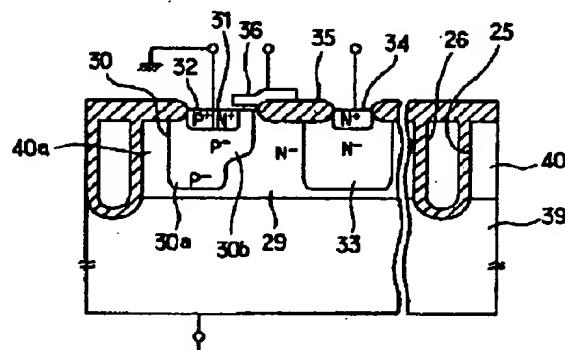
【図2】



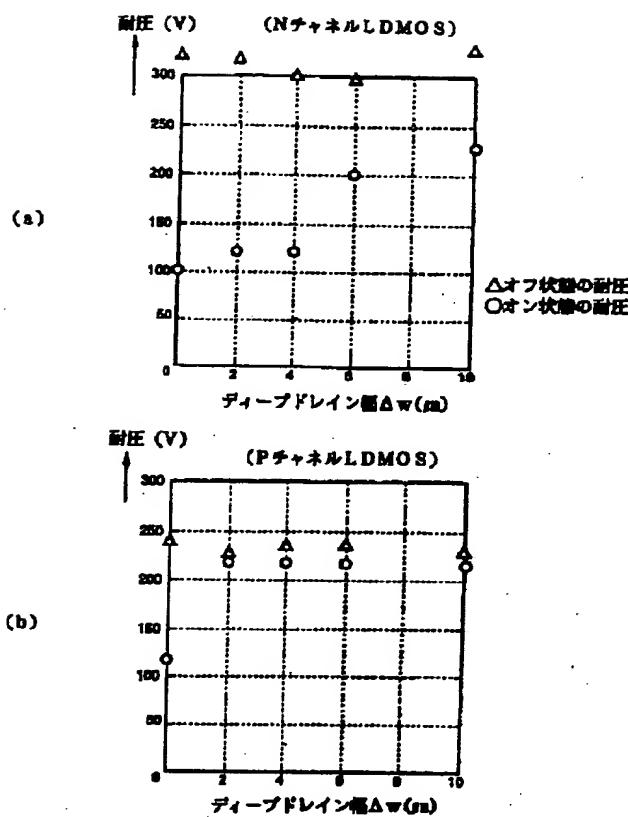
【図4】



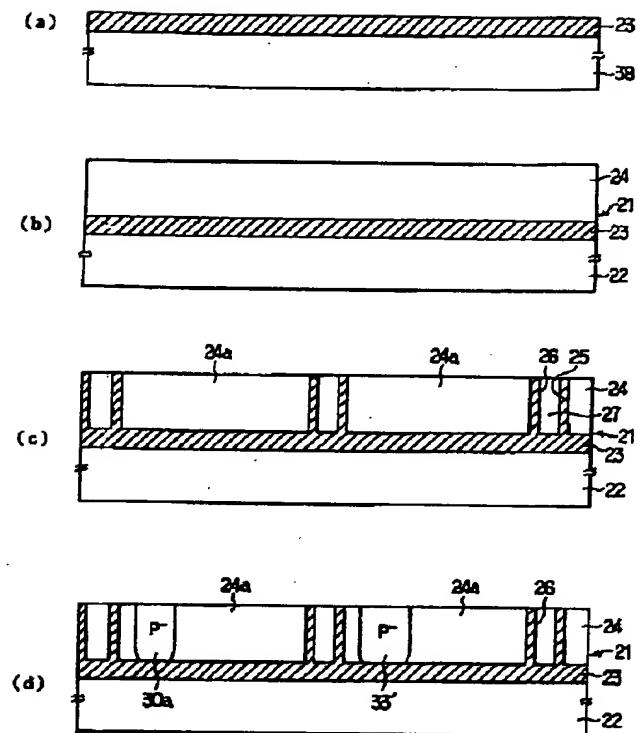
【図7】



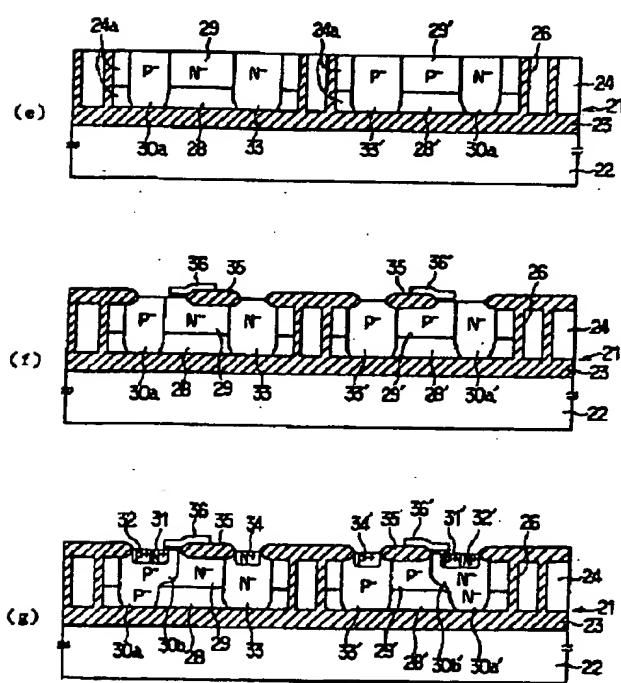
【図3】



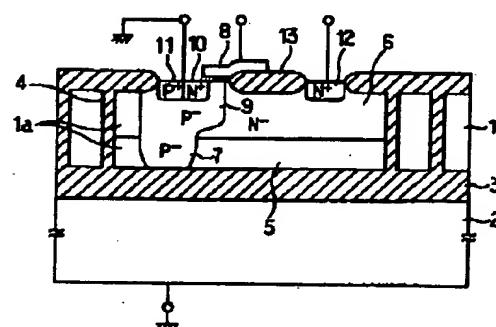
【図5】



【図6】



【図8】



【手続補正書】

【提出日】平成10年3月16日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正内容】

【0038】図5及び図6には、上記LDIMOS37及び37'の製造方法が模式的な断面図により示されており、以下これについて説明する。まず、図5(a)に示すように、高抵抗FZ基板、若しくはポロン或いはリン、砒素、アンチモンなどの不純物濃度が極めて低い状

態($1 \times 10^{14}/\text{cm}^3$ 程度以下)のCZ基板で、表面の面方位が(100)の単結晶シリコン基板38を用意し、その表面に熱酸化により膜厚が0.5 μm 程度以上のシリコン酸化膜23を形成する。

【手続補正2】

【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正内容】

【図3】

